

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

#2
JCS19 U.S. PTO
09/372166
08/11/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
this Office.

願年月日
Date of Application:

1998年12月22日

願番号
Application Number:

平成10年特許願第363663号

願人
Applicant(s):

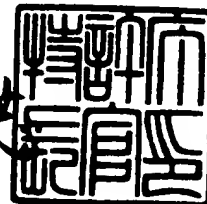
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 6月 4日

特許庁長官
Commissioner,
Patent Office

山田 建志



【書類名】 特許願

【整理番号】 9802658

【提出日】 平成10年12月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82
G06F 13/16

【発明の名称】 電子回路システム及び信号伝送方法

【請求項の数】 31

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 岡島 義憲

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100092174

 【弁理士】

 【氏名又は名称】 平戸 哲夫

 【電話番号】 03-3374-7129

【手数料の表示】

 【予納台帳番号】 030993

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9705046

【ブルーフの要否】 要

【書類名】 明細書
【発明の名称】 電子回路システム及び信号伝送方法
【特許請求の範囲】

【請求項 1】

複数の伝送信号入力端及び複数の伝送信号出力端を有し、前記伝送信号入力端から入力された伝送信号が自己に対するものである場合には前記入力された伝送信号を受け付け、前記入力された伝送信号が自己に対するものでない場合には前記入力された伝送信号を前記伝送信号出力端に転送するロジック回路及びメモリ回路を含む 3 個以上のマクロ回路と、

伝送信号がクロック信号に同期して一方向に伝送されるように、前記 3 個以上のマクロ回路をリング状に接続する伝送信号線とを有していることを特徴とする電子回路システム。

【請求項 2】

前記マクロ回路は、入力された伝送信号を受け付ける場合には、前記入力された伝送信号をクリアした信号を伝送信号出力端に出力することを特徴とする請求項 1 記載の電子回路システム。

【請求項 3】

前記マクロ回路は、入力された伝送信号が自己に対するものであっても、前記入力された伝送信号を受け付けることができない状態にある場合には、前記入力された伝送信号を伝送信号出力端に転送することを特徴とする請求項 1 又は 2 記載の電子回路システム。

【請求項 4】

前記マクロ回路は、核心部をなすコア回路と、周辺部をなすステーション回路とを有し、

前記ステーション回路は、少なくとも、前記コア回路からの要求に従った伝送信号の伝送信号出力端への出力と、入力された伝送信号の受け付け及び入力された伝送信号をクリアした信号の伝送信号出力端への出力と、入力された伝送信号の伝送信号出力端への転送とを選択的に行うことを特徴とする請求項 1、2 又は 3 記載の電子回路システム。

【請求項 5】

前記ステーション回路は、入力回路と、出力回路と、ステーション・インタフェース回路とを有し、

前記入力回路は、前記伝送信号入力端から入力される伝送信号をクロック信号に同期して取込み、

前記出力回路は、前記ステーション・インタフェース回路から出力される伝送信号を前記クロック信号に同期して取り込んで前記伝送信号出力端に出力し、

前記ステーション・インタフェース回路は、少なくとも、前記コア回路からの要求に従った伝送信号の前記出力回路への出力と、入力回路が取り込んだ伝送信号の受け付け及び入力回路が取り込んだ伝送信号をクリアした信号の前記出力回路への出力と、入力回路が取り込んだ伝送信号の前記出力回路への転送とを選択的に行うことを特徴とする請求項 4 記載の電子回路システム。

【請求項 6】

前記マクロ回路として、外部回路に伝送信号を伝送するための I/O 回路もしくは外部回路から伝送信号を入力するための I/O 回路又は外部回路との間で伝送信号の授受を行うための I/O 回路を含んでいることを特徴とする請求項 1～5 のいずれか一項に記載の電子回路システム。

【請求項 7】

メモリ回路であるマクロ回路は、同一のマクロ回路から連続してアクセスを受けるときは、前記メモリ回路であるマクロ回路をアクセスする可能性のある他のマクロ回路に対してウェイトを掛けるためのビジー信号を与えることを特徴とする請求項 1～6 のいずれか一項に記載の電子回路システム。

【請求項 8】

メモリ回路であるマクロ回路は、外部回路から連続してアクセスを受けるときは、前記メモリ回路であるマクロ回路をアクセスする可能性のあるマクロ回路に対してウェイトを掛けるためのビジー信号を与えることを特徴とする請求項 1～7 のいずれか一項に記載の電子回路システム。

【請求項 9】

前記伝送信号線を介してリング状に接続されていないマクロ回路を備えている

ことを特徴とする請求項 1～8 のいずれか一項に記載の電子回路システム。

【請求項 10】

複数の伝送信号入力端及び複数の伝送信号出力端を有し、前記伝送信号入力端から入力された伝送信号が自己に対するものである場合には前記伝送信号を受け付けるロジック回路である第 1 のマクロ回路と、

複数の伝送信号入力端及び複数の伝送信号出力端を有し、前記伝送信号入力端から入力された伝送信号が自己に対するものである場合には前記伝送信号を受け付け、前記伝送信号入力端に入力された伝送信号が自己に対するものでない場合には前記伝送信号を前記伝送信号出力端から出力するメモリ回路を含むロジック回路以外のマクロ回路である第 2、第 3・・・第 n （但し、 n は 3 以上の整数）のマクロ回路と、

前記第 1 のマクロ回路の伝送信号出力端を先頭端、前記第 1 のマクロ回路の伝送信号入力端を最後尾端として、伝送信号がクロック信号に同期して一方向に伝送するように、前記第 1、第 2、第 3・・・第 n のマクロ回路を半リング状に接続する伝送信号線とを有していることを特徴とする電子回路システム。

【請求項 11】

前記第 2、第 3・・・第 n のマクロ回路は、核心部をなすコア回路と、周辺部をなすステーション回路とを有し、

前記ステーション回路は、少なくとも、前記コア回路からの要求に従った伝送信号の伝送信号出力端への出力と、入力された伝送信号の受け付け及び入力された伝送信号をクリアした信号の伝送信号出力端への出力と、入力された伝送信号の伝送信号出力端への転送とを選択的に行うことを特徴とする請求項 10 記載の電子回路システム。

【請求項 12】

前記ステーション回路は、入力回路と、出力回路と、ステーション・インタフェース回路とを有し、

前記入力回路は、前記伝送信号入力端から入力される伝送信号をクロック信号に同期して取込み、

前記出力回路は、前記ステーション・インタフェース回路から出力される伝送

信号を前記クロック信号に同期して取り込んで前記伝送信号出力端に出力し、

前記ステーション・インタフェース回路は、少なくとも、前記コア回路からの要求に従った伝送信号の前記出力回路への出力と、入力回路が取り込んだ伝送信号の受け付け及び入力回路が取り込んだ伝送信号をクリアした信号の前記出力回路への出力と、入力回路が取り込んだ伝送信号の前記出力回路への転送とを選択的に行うことを特徴とする請求項 11 記載の電子回路システム。

【請求項 13】

前記伝送信号線は、クロック信号に同期して伝送信号をラッチするラッチ回路を介して前記マクロ回路間を接続していることを特徴とする請求項 11 又は 12 記載の電子回路システム。

【請求項 14】

前記第 2、第 3・・・第 n のマクロ回路には、メモリ回路のほか、外部回路に伝送信号を伝送するための I/O 回路もしくは外部回路から伝送信号を入力するための I/O 回路又は外部回路との間で伝送信号の授受を行うための I/O 回路を含んでいることを特徴とする請求項 10～13 のいずれか一項に記載の電子回路システム。

【請求項 15】

前記伝送信号線は、コマンド系の信号を伝送するためのコマンド系信号線と、データ系の信号を伝送するためのデータ系信号線とを有し、

前記コマンド系信号線は、コマンド発行元及びコマンド発行先を示すコマンド・フラグ信号を伝送するためのコマンド・フラグ信号線と、コマンド信号を伝送するためのコマンド信号線と、コマンド発行先のマクロ回路内のアドレスを示すアドレス信号を伝送するためのアドレス信号線とを有し、

前記データ系信号線は、データ発行先を示すデータ・フラグ信号を伝送するためのデータ・フラグ信号線と、データ信号を伝送するためのデータ信号線とを有していることを特徴とする請求項 1～14 のいずれか一項に記載の電子回路システム。

【請求項 16】

ロジック回路であるマクロ回路は、メモリ回路であるマクロ回路にリードアク

セスする場合には、伝送信号として、コマンド発行元及びコマンド発行先を示すコマンド・フラグ信号と、リード・コマンドであることを示すコマンド信号と、前記メモリ回路であるマクロ回路内のアクセス先のアドレスを示すアドレス信号とを伝送信号出力端に出力することを特徴とする請求項 15 記載の電子回路システム。

【請求項 17】

ロジック回路であるマクロ回路は、メモリ回路であるマクロ回路にライトアクセスする場合には、伝送信号として、コマンド発行元及びコマンド発行先を示すコマンド・フラグ信号と、ライト・コマンドであることを示すコマンド信号と、前記メモリ回路であるマクロ回路内のアクセス先のアドレスを示すアドレス信号と、データ発行先を示すデータ・フラグ信号と、データ信号とを伝送信号出力端に出力することを特徴とする請求項 15 又は 16 記載の電子回路システム。

【請求項 18】

I/O 回路が外部回路からのコマンド系信号を伝送信号線に出力する場合には、前記ロジック回路であるマクロ回路のコア回路の動作を止めることを特徴とする請求項 17 記載の電子回路システム。

【請求項 19】

前記 I/O 回路が外部回路からのコマンド系信号を伝送信号線に出力する場合には、所定のクロック・サイクル前から、前記ロジック回路であるマクロ回路のコア回路の動作を止めることを特徴とする請求項 18 記載の電子回路システム。

【請求項 20】

複数のテスト信号入力用外部端子と、

複数のテスト信号入力端及び複数のテスト信号出力端を有し、前記テスト信号入力端から入力されたテスト信号が自己に対するものである場合には前記テスト信号を受け付け、前記テスト信号入力端に入力されたテスト信号が自己に対するものでない場合には前記テスト信号を前記テスト信号出力端から出力する第 1、第 2・・・第 $m-1$ （但し、 m は 2 以上の整数）のマクロ回路と、

複数のテスト信号入力端を有し、前記テスト信号入力端から入力されたテスト信号が自己に対するものである場合には前記テスト信号を受け付ける第 m のマク

ロ回路と、

前記テスト信号入力用外部端子を先頭端、前記第 m のマクロ回路のテスト信号入力端を最後尾端として、テスト信号がクロック信号に同期して一方向に伝送されるように、前記テスト信号入力用外部端子と、前記第1、第2・・・第 m のマクロ回路とを半リング状に接続するテスト信号線とを有していることを特徴とする電子回路システム。

【請求項 21】

前記マクロ回路は、メモリ回路であることを特徴とする請求項20記載の電子回路システム。

【請求項 22】

前記マクロ回路は、核心部をなすコア回路と、周辺部をなすステーション回路とを有し、

前記ステーション回路は、少なくとも、入力された伝送信号の受け付けと、入力された伝送信号の伝送信号出力端への転送とを選択的に行うことを特徴とする請求項20又は21記載の電子回路システム。

【請求項 23】

前記ステーション回路は、入力回路と、出力回路と、ステーション・インタフェース回路とを有し、

前記入力回路は、前記伝送信号入力端から入力される伝送信号をクロック信号に同期して取込み、

前記出力回路は、前記ステーション・インタフェース回路から出力される伝送信号を前記クロック信号に同期して取り込んで前記伝送信号出力端に出力し、

前記ステーション・インタフェース回路は、少なくとも、入力された伝送信号の受け付けと、入力された伝送信号の伝送信号出力端への転送とを選択的に行うことを特徴とする請求項22記載の電子回路システム。

【請求項 24】

前記テスト信号線は、クロック信号に同期して伝送信号をラッチするラッチ回路を介して前記マクロ回路間を接続していることを特徴とする請求項20～23のいずれか一項に記載の電子回路システム。

【請求項 25】

複数の伝送信号入力端及び複数の伝送信号出力端を有する 3 個以上のマクロ回路を、伝送信号線を介して伝送信号がクロック信号に同期して一方向に伝送できるように接続し、

前記マクロ回路においては、前記伝送信号入力端から入力された伝送信号が自己に対するものである場合には前記入力された伝送信号を受け付け、前記入力された伝送信号が自己に対するものでない場合には前記入力された伝送信号を前記伝送信号出力端に転送する工程を実行させることを特徴とする信号伝送方法。

【請求項 26】

複数の伝送信号入力端及び複数の伝送信号出力端を有するロジック回路である第 1 のマクロ回路と、複数の伝送信号入力端及び複数の伝送信号出力端を有するメモリ回路を含むロジック回路以外のマクロ回路である第 2、第 3・・・第 n （但し、 n は 3 以上の整数）のマクロ回路とを、前記第 1 のマクロ回路の伝送信号出力端を先頭端、前記第 1 のマクロ回路の伝送信号入力端を最後尾端として、伝送信号線を介して伝送信号がクロック信号に同期して一方向に伝送するように、前記第 1、第 2、第 3・・・第 n のマクロ回路を半リング状に接続し、

前記第 2、第 3・・・第 n のマクロ回路においては、前記伝送信号入力端から入力された伝送信号が自己に対するものである場合には前記伝送信号を受け付け、前記伝送信号入力端に入力された伝送信号が自己に対するものでない場合には前記伝送信号を前記伝送信号出力端から出力する工程を実行させることを特徴とする信号伝送方法。

【請求項 27】

複数のテスト信号入力用外部端子と、複数のテスト信号入力端及び複数のテスト信号出力端を有する第 1、第 2・・・第 $m-1$ （但し、 m は 2 以上の整数）のマクロ回路と、複数のテスト信号入力端を有する第 m のマクロ回路とを、前記テスト信号入力用外部端子を先頭端、前記第 m のマクロ回路のテスト信号入力端を最後尾端として、テスト信号線を介してテスト信号がクロック信号に同期して一方向に伝送されるように半リング状に接続し、

前記第 1、第 2・・・第 $m-1$ のマクロ回路においては、前記テスト信号入力

端から入力されたテスト信号が自己に対するものである場合には前記テスト信号を受け付け、前記テスト信号入力端に入力されたテスト信号が自己に対するものでない場合には前記テスト信号を前記テスト信号出力端から出力する工程を実行させることを特徴とする信号伝送方法。

【請求項 28】

テスト信号線に I/O 回路を含み、前記 I/O 回路を通じてチップ外部から前記第 1、第 2・・・第 m のマクロ回路の試験を行うためのテスト信号を入力することを特徴とする請求項 27 記載の信号伝送方法。

【請求項 29】

テスト信号線に I/O 回路を含み、前記 I/O 回路を通じてチップ外部から前記第 1、第 2・・・第 m のマクロ回路の中のメモリ回路の試験を行うためのテスト信号を入力することを特徴とする請求項 27 記載の信号伝送方法。

【請求項 30】

テスト信号線に I/O 回路を含み、前記 I/O 回路を通じてチップ外部から前記第 1、第 2・・・第 m のマクロ回路の中のロジック回路の試験を行うためのテスト信号を入力することを特徴とする請求項 27 記載の信号伝送方法。

【請求項 31】

テスト信号線に I/O 回路及び BIST 回路を含み、前記 I/O 回路に入力される入力信号を元に前記 BIST 回路で前記第 1、第 2・・・第 m のマクロ回路の試験を行うためのテスト信号を発生させることを特徴とする請求項 27 記載の信号伝送方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、システム LSI 等のように、マクロ回路として、ロジック回路及びメモリ回路を有する電子回路システム及び信号伝送方法に関する。

【0002】

【従来の技術】

図 9 は従来のシステム LSI の一例の要部を示すブロック回路図である。図 9

中、1はLSIチップ本体、2-1～2-4はロジック回路、3-1～3-8はロジック回路2-1～2-4によりアクセスされるDRAM (Dynamic Random Access Memory)、4は共通バスである。

【0003】

【発明が解決しようとする課題】

このように構成されたシステムLSIにおいては、共通バス4の使用を管理するために、非常に複雑なステイタス・マシンを搭載する必要があり、また、共通バス4の使用効率が低いという問題点があった。

【0004】

本発明は、かかる点に鑑み、マクロ回路として、ロジック回路及びメモリ回路を有する電子回路システムであって、共通バスを不要とし、信号伝送の効率化と、信号伝送の管理の簡単化とを図ることができるようにした電子回路システム及び信号伝送方法を提供することを第1の目的とし、マクロ回路の試験の容易化、高速化を図ることができるようにした電子回路システム及び信号伝送方法を提供することを第2の目的とする。

【0005】

【課題を解決するための手段】

本発明中、第1の発明は、電子回路システムの発明であり、複数の伝送信号入力端及び複数の伝送信号出力端を有し、伝送信号入力端から入力された伝送信号が自己に対するものである場合には入力された伝送信号を受け付け、入力された伝送信号が自己に対するものでない場合には入力された伝送信号を伝送信号出力端に転送するロジック回路及びメモリ回路を含む3個以上のマクロ回路と、伝送信号がクロック信号に同期して一方向に伝送されるように、3個以上のマクロ回路をリング状に接続する伝送信号線とを有しているというものである。

【0006】

本発明中、第1の発明によれば、複数のマクロ回路から同時に伝送信号を出力しても、伝送信号をクロック信号に同期して一方向に伝送し、伝送信号を目的とするマクロ回路に伝送することができるので、従来のように共通バスを必要としない。したがって、信号伝送の効率化を図ることができると共に、共通バスの使

用を管理するステイタス・マシンを搭載する必要がなく、信号伝送の管理の簡略化を図ることができる。

【0007】

本発明中、第2の発明の発明は、電子回路システムの発明であり、複数の伝送信号入力端及び複数の伝送信号出力端を有し、伝送信号入力端から入力された伝送信号が自己に対するものである場合には伝送信号を受け付けるロジック回路である第1のマクロ回路と、複数の伝送信号入力端及び複数の伝送信号出力端を有し、伝送信号入力端から入力された伝送信号が自己に対するものである場合には伝送信号を受け付け、伝送信号入力端に入力された伝送信号が自己に対するものでない場合には伝送信号を伝送信号出力端から出力するメモリ回路を含むロジック回路以外のマクロ回路である第2、第3・・・第 n （但し、 n は3以上の整数）のマクロ回路と、第1のマクロ回路の伝送信号出力端を先頭端、第1のマクロ回路の伝送信号入力端を最後尾端として、伝送信号がクロック信号に同期して一方向に伝送するように、第1、第2、第3・・・第 n のマクロ回路を半リング状に接続する伝送信号線とを有しているというものである。

【0008】

本発明中、第2の発明によれば、複数のマクロ回路から同時に伝送信号を出力しても、伝送信号をクロック信号に同期して一方向に伝送し、伝送信号を目的とするマクロ回路に伝送することができるので、従来のように共通バスを必要としない。したがって、信号伝送の効率化を図ることができると共に、共通バスの使用を管理するステイタス・マシンを搭載する必要がなく、信号伝送の管理の簡略化を図ることができる。

【0009】

本発明中、第3の発明は、電子回路システムの発明であり、複数のテスト信号入力用外部端子と、複数のテスト信号入力端及び複数のテスト信号出力端を有し、テスト信号入力端から入力されたテスト信号が自己に対するものである場合にはテスト信号を受け付け、テスト信号入力端に入力されたテスト信号が自己に対するものでない場合にはテスト信号をテスト信号出力端から出力する第1、第2・・・第 $m-1$ （但し、 m は2以上の整数）のマクロ回路と、複数のテスト信号

入力端を有し、テスト信号入力端から入力されたテスト信号が自己に対するものである場合にはテスト信号を受け付ける第 m のマクロ回路と、テスト信号入力用外部端子を先頭端、第 m のマクロ回路のテスト信号入力端を最後尾端として、テスト信号がクロック信号に同期して一方向に伝送されるように、テスト信号入力用外部端子と、第1、第2・・・第 m のマクロ回路とを半リング状に接続するテスト信号線とを有しているというものである。

【0010】

本発明中、第3の発明によれば、テスト信号入力用外部端子からテスト信号を入力することで、各マクロ回路を外部から試験することが可能となり、試験の効率化を図ることができる。

【0011】

また、テスト信号入力用外部端子と第1、第2・・・第 m のマクロ回路とを半リング状に接続するテスト信号線を介して各マクロ回路にテスト信号を与えることができるので、各マクロ回路における各伝送信号入力端と各テスト信号入力用外部端子との距離を等しくすることができる。したがって、テスト信号を伝送する場合のスキューをなくし、試験の高速化を図ることができる。

【0012】

本発明中、第4の発明は、信号伝送方法の発明であり、複数の伝送信号入力端及び複数の伝送信号出力端を有する3個以上のマクロ回路を、伝送信号線を介して伝送信号がクロック信号に同期して一方向に伝送できるように接続し、マクロ回路においては、伝送信号入力端から入力された伝送信号が自己に対するものである場合には入力された伝送信号を受け付け、入力された伝送信号が自己に対するものでない場合には入力された伝送信号を伝送信号出力端に転送する工程を実行させるというものである。

【0013】

本発明中、第4の発明によれば、複数のマクロ回路から同時に伝送信号を出力しても、伝送信号をクロック信号に同期して一方向に伝送し、伝送信号を目的とするマクロ回路に伝送することができるので、従来のように共通バスを必要としない。したがって、信号伝送の効率化を図ることができると共に、共通バスの使

用を管理するステイタス・マシンを搭載する必要がなく、信号伝送の管理の簡略化を図ることができる。

【0014】

本発明中、第5の発明は、信号伝送方法の発明であり、複数の伝送信号入力端及び複数の伝送信号出力端を有するロジック回路である第1のマクロ回路と、複数の伝送信号入力端及び複数の伝送信号出力端を有するメモリ回路を含むロジック回路以外のマクロ回路である第2、第3・・・第 n （但し、 n は3以上の整数）のマクロ回路とを、第1のマクロ回路の伝送信号出力端を先頭端、第1のマクロ回路の伝送信号入力端を最後尾端として、伝送信号線を介して伝送信号がクロック信号に同期して一方向に伝送するように、第1、第2、第3・・・第 n のマクロ回路を半リング状に接続し、第2、第3・・・第 n のマクロ回路においては、伝送信号入力端から入力された伝送信号が自己に対するものである場合には伝送信号を受け付け、伝送信号入力端に入力された伝送信号が自己に対するものではない場合には伝送信号を伝送信号出力端から出力する工程を実行させるというものである。

【0015】

本発明中、第5の発明によれば、複数のマクロ回路から同時に伝送信号を出力しても、伝送信号をクロック信号に同期して一方向に伝送し、伝送信号を目的とするマクロ回路に伝送することができるので、従来のように共通バスを必要としない。したがって、信号伝送の効率化を図ることができると共に、共通バスの使用を管理するステイタス・マシンを搭載する必要がなく、信号伝送の管理の簡略化を図ることができる。

【0016】

本発明中、第6の発明は、信号伝送方法の発明であり、複数のテスト信号入力用外部端子と、複数のテスト信号入力端及び複数のテスト信号出力端を有する第1、第2・・・第 $m-1$ （但し、 m は2以上の整数）のマクロ回路と、複数のテスト信号入力端を有する第 m のマクロ回路とを、テスト信号入力用外部端子を先頭端、第 m のマクロ回路のテスト信号入力端を最後尾端として、テスト信号線を介してテスト信号がクロック信号に同期して一方向に伝送されるように半リング

状に接続し、第1、第2・・・第 $m-1$ のマクロ回路においては、テスト信号入力端から入力されたテスト信号が自己に対するものである場合にはテスト信号を受け付け、テスト信号入力端に入力されたテスト信号が自己に対するものでない場合にはテスト信号をテスト信号出力端から出力する工程を実行させるというものである。

【0017】

本発明中、第6の発明によれば、テスト信号入力用外部端子からテスト信号を入力することで、各マクロ回路を外部から試験することが可能となり、試験の効率化を図ることができる。

【0018】

また、テスト信号入力用外部端子と第1、第2・・・第 m のマクロ回路とを半リング状に接続するテスト信号線を介して各マクロ回路にテスト信号を与えることができるので、各マクロ回路における各伝送信号入力端と各テスト信号入力用外部端子との距離を等しくすることができる。したがって、テスト信号を伝送する場合のスキューをなくし、試験の高速化を図ることができる。

【0019】

【発明の実施の形態】

以下、図1～図8を参照して、本発明の電子回路システムの第1実施形態～第5実施形態について、本発明の電子回路システムをシステムLSIに適用した場合を例にして、本発明の信号伝送方法の実施形態を含めて説明する。

【0020】

第1実施形態・・・図1～図3

図1は本発明の電子回路システムの第1実施形態の要部を示すブロック回路図である。図1中、6-1、6-2はデータの加工等を行うロジック回路、7-1～7-5はロジック回路6-1、6-2からアクセスを受けるDRAM回路、8はロジック回路6-1、6-2からアクセスを受けて外部回路との間で伝送信号の授受を行うI/O回路である。

【0021】

これらロジック回路6-1、6-2、DRAM回路7-1～7-5及びI/O

回路 8 は、それぞれ、特有の機能を有する独立した 1 個の回路として扱うことができる回路、いわゆる、マクロ回路であり、マクロ回路としてのアドレス（以下、ID という）を有している。

【0022】

また、9 はロジック回路 6-1 の複数の伝送信号出力端と DRAM 回路 7-1 の複数の伝送信号入力端とを接続する伝送信号線、10 は DRAM 回路 7-1 の複数の伝送信号出力端と DRAM 回路 7-2 の複数の伝送信号入力端とを接続する伝送信号線である。

【0023】

また、11 は DRAM 回路 7-2 の複数の伝送信号出力端と DRAM 回路 7-3 の複数の伝送信号入力端とを接続する伝送信号線、12 は DRAM 回路 7-3 の複数の伝送信号出力端とロジック回路 6-2 の複数の伝送信号入力端とを接続する伝送信号線である。

【0024】

また、13 はロジック回路 6-2 の複数の伝送信号出力端と DRAM 回路 7-4 の複数の伝送信号入力端とを接続する伝送信号線、14 は DRAM 回路 7-4 の複数の伝送信号出力端と I/O 回路 8 の複数の伝送信号入力端とを接続する伝送信号線である。

【0025】

また、15 は I/O 回路 8 の複数の伝送信号出力端と DRAM 回路 7-5 の複数の伝送信号入力端とを接続する伝送信号線、16 は DRAM 回路 7-5 の複数の伝送信号出力端とロジック回路 6-1 の複数の伝送信号入力端とを接続する伝送信号線である。

【0026】

すなわち、本発明の電子回路システムの第 1 実施形態においては、ロジック回路 6-1、DRAM 回路 7-1～7-3、ロジック回路 6-2、DRAM 回路 7-4、I/O 回路 8 及び DRAM 回路 7-5 は、伝送信号線 9～16 を介してリング状に接続されており、これら伝送信号線 9～16 は、従来の共通バスに代わるものである。

【0027】

図2は伝送信号線9～16の構成を示す図であり、伝送信号線9～16は、コマンド系の信号を伝送するためのコマンド系信号線と、データ系の信号を伝送するためのデータ系信号線から構成されている。

【0028】

また、コマンド系信号線は、コマンド発行元ID及びコマンド発行先IDを示すコマンド・フラグ信号を伝送するためのコマンド・フラグ信号線と、コマンド信号を伝送するためのコマンド信号線と、コマンド発行先内のアクセス先のアドレスを示すアドレス信号を伝送するためのアドレス信号線から構成されている。

【0029】

また、データ系信号線は、データ発行先IDを示すデータ・フラグ信号を伝送するためのデータ・フラグ信号線と、データ信号を伝送するためのデータ信号線とから構成されている。

【0030】

図3は本発明の電子回路システムの第1実施形態の要部をより詳しく示すブロック回路図である。図3中、ロジック回路6-1、6-2において、10-1、10-2はロジック回路としての核心部をなすロジック・コア回路、11-1、11-2は周辺部をなすステーション回路である。

【0031】

また、ステーション回路11-1、11-2において、12-1、12-2は入力回路（IB）、13-1、13-2は出力回路（OB）、14-1、14-2はステーション・インタフェース回路（SIF）である。

【0032】

また、DRAM回路7-1～7-5において、15-1～15-5はDRAM回路としての核心部をなすDRAMコア回路、16-1～16-5は周辺部をなすステーション回路である。

【0033】

また、ステーション回路16-1～16-5において、17-1～17-5は入力回路、18-1～18-5は出力回路、19-1～19-5はステーション

・インタフェース回路である。

【0034】

また、I/O回路8において、20はI/O回路としての核心部をなすI/Oコア回路、21は周辺部をなすステーション回路であり、ステーション回路21において、22は入力回路、23は出力回路、24はステーション・インタフェース回路である。

【0035】

ここに、ロジック回路6-i（但し、 $i = 1, 2$ ）において、入力回路12-iは、入力される伝送信号をクロック信号CLKの立ち上がりタイミングで取り込んでステーション・インタフェース回路14-iに出力するものである。

【0036】

また、出力回路13-iは、ステーション・インタフェース回路14-iから出力される伝送信号を反転クロック信号 \neg CLKの立ち上がりタイミングで取り込んで伝送信号出力端に出力するものである。

【0037】

また、ステーション・インタフェース回路14-iは、ロジック・コア回路10-iからの要求に従った伝送信号の出力回路13-iへの出力、入力回路12-iに取り込まれた伝送信号の受け付け、及び、入力回路12-iに取り込まれた伝送信号の出力回路13-iへの転送などを選択的に行うものである。

【0038】

また、DRAM回路7-j（但し、 $j = 1, 2, 3, 4, 5$ ）において、入力回路17-jは、入力される伝送信号をクロック信号CLKの立ち上がりタイミングで取り込んでステーション・インタフェース回路19-jに出力するものである。

【0039】

また、出力回路18-jは、ステーション・インタフェース回路19-jから出力される伝送信号を反転クロック信号 \neg CLKの立ち上がりタイミングで取り込んで伝送信号出力端に出力するものである。

【0040】

また、ステーション・インタフェース回路 19-j は、DRAM コア回路 15-j からの要求に従った伝送信号の出力回路 18-j への出力、入力回路 17-j に取り込まれた伝送信号の受け付け、及び、入力回路 17-j に取り込まれた伝送信号の出力回路 18-j への転送などを選択的に行うものである。

【0041】

また、I/O 回路 8 において、入力回路 22 は、入力される伝送信号をクロック信号 CLK の立ち上がりタイミングで取り込んでステーション・インタフェース回路 24 に出力するものである。

【0042】

また、出力回路 23 は、ステーション・インタフェース回路 24 から出力される伝送信号を反転クロック信号 / CLK の立ち上がりタイミングで取り込んで伝送信号出力端に出力するものである。

【0043】

また、ステーション・インタフェース回路 24 は、I/O コア回路 20 からの要求に従った伝送信号の出力回路 23 への出力、入力回路 22 に取り込まれた伝送信号の受け付け、及び、入力回路 22 に取り込まれた伝送信号の出力回路 23 への転送などを選択的に行うものである。

【0044】

このように構成された本発明の電子回路システムの第 1 実施形態においては、ステーション・インタフェース回路 14-i は、たとえば、次のように動作する。すなわち、ロジック・コア回路 10-i が DRAM コア回路 15-1 ~ 15-5 のいずれかにリード・アクセスを行うときは、まず、入力回路 12-i に取り込まれたコマンド・フラグ信号の内容を確認する。

【0045】

そして、コマンド・フラグが立っていない場合（コマンド発行元 ID 及びコマンド発行先 ID が示されていない場合）には、入力回路 12-i に取り込まれた伝送信号中のコマンド・フラグ・ビットをコマンド発行元 ID 及びコマンド発行先 ID とし、コマンド・ビットをリード・コマンドとし、アドレス・ビットをコマンド発行先の DRAM 回路の DRAM コア回路内のアクセス先のアドレスとし

た伝送信号を出力回路 13-i に出力する。

【0046】

これに対して、コマンド・フラグが立っている場合（コマンド発行元 ID 及びコマンド発行先 ID が示されている場合）には、コマンド・フラグが立っていない伝送信号が入力回路 12-i に取り込まれるまで待ち、コマンド・フラグが立っていない伝送信号を入力回路 12-i が取り込んだ時は、入力回路 12-i に取り込まれた伝送信号中のコマンド・フラグ・ビットをコマンド発行元 ID 及びコマンド発行先 ID とし、コマンド・ビットをリード・コマンドとし、アドレス・ビットをコマンド発行先の DRAM 回路の DRAM コア回路内のアクセス先のアドレスとした伝送信号を出力回路 13-i に出力する。

【0047】

また、ロジック・コア回路 10-i が DRAM コア回路 15-1 ~ 15-5 のいずれかにライト・アクセスを行うときは、まず、入力回路 12-i に取り込まれたコマンド・フラグの内容を確認する。

【0048】

そして、コマンド・フラグが立っていない場合には、入力回路 12-i に取り込まれた伝送信号中のコマンド・フラグ・ビットをコマンド発行元 ID 及びコマンド発行先 ID とし、コマンド・ビットをライト・コマンドとし、アドレス・ビットをコマンド発行先の DRAM 回路の DRAM コア回路内のアクセス先のアドレスとし、データ・フラグ・ビットをデータ発行先 ID とし、データ・ビットをロジック・コア回路 10-i が発するデータとした伝送信号を出力回路 13-i に出力する。

【0049】

これに対して、コマンド・フラグが立っている場合には、コマンド・フラグが立っていない伝送信号が入力回路 12-i に取り込まれるまで待ち、コマンド・フラグが立っていない伝送信号が入力回路 12-i に取り込まれた時は、伝送信号中のコマンド・フラグ・ビットをコマンド発行元 ID 及びコマンド発行先 ID とし、コマンド・ビットをライト・コマンドとし、アドレス・ビットをコマンド発行先の DRAM 回路の DRAM コア回路内のアクセス先のアドレスとし、デー

タ・フラグをデータ発行先IDとし、データ・ビットをロジック・コア回路10-iが発するデータとした伝送信号を出力回路13-iに出力する。

【0050】

また、入力回路12-iに取り込まれた伝送信号の中のデータ・フラグ信号が示すデータ・フラグがロジック回路6-iのIDと一致する場合には、データを受け付け、受け付けたデータをロジック・コア回路10-iに出力すると共に、データ・フラグ信号及びデータ信号をクリアした伝送信号を出力回路13-iに出力する。

【0051】

これに対して、入力回路12-iに取り込まれた伝送信号の中のデータ・フラグ信号が示すデータ・フラグがロジック回路6-iのIDと一致しない場合には、入力回路12-iに取り込まれた伝送信号を内容を変更することなしにそのまま出力回路14-iに転送する。

【0052】

また、ステーション・インタフェース回路19-jは、たとえば、次のように動作する。すなわち、入力回路17-jに取り込まれた伝送信号中のコマンド・フラグ信号が示すコマンド発行先IDがDRAM回路7-iのIDと一致しない場合には、入力回路17-jに取り込まれた伝送信号を内容を変更することなしにそのまま出力回路18-jに転送する。

【0053】

また、入力回路17-jに取り込まれた伝送信号中のコマンド・フラグ信号が示すコマンド発行先IDがDRAM回路7-iのIDと一致した場合であっても、DRAMコア回路15-jがビジー（BUSY）状態にある時、すなわち、DRAMコア回路15-jが動作を完了していない時は、入力回路17-jに取り込まれた伝送信号を内容を変更することなしにそのまま出力回路18-jに転送する。

【0054】

これに対して、入力回路17-jに取り込まれた伝送信号中のコマンド・フラグ信号に示されたコマンド発行先IDがDRAM回路7-iのIDと一致し、コ

マンド・ビットがリード・コマンドを示している場合において、DRAMコア回路 15-j がビジー状態でないときは、入力回路 17-j に取り込まれた伝送信号を受け付けて、DRAMコア回路 15-j にアドレス信号とリード信号を出力すると共に、コマンド・フラグ・ビット及びコマンド・ビットをクリアした伝送信号を出力回路 18-j に出力する。

【0055】

そして、DRAMコア回路 15-j からデータがリードされた場合には、入力回路 17-j に取り込まれた伝送信号中のデータ・フラグが空であることを確認の上、データ・フラグにリード・コマンドを発したロジック回路の ID を載せ、データ・ビットにDRAMコア回路 15-j からリードしたデータを載せた伝送信号を出力回路 18-j に出力する。

【0056】

これに対して、入力回路 17-j に取り込まれた伝送信号中のデータ・フラグが空でない場合には、データ・フラグが空の伝送信号が入力回路 17-j に取り込まれるまで待ち、データ・フラグが空の伝送信号が入力回路 17-j に取り込まれた場合には、データ・フラグにリード・コマンドを発したロジック回路の ID を載せ、データ・ビットにDRAMコア回路 15-j からリードしたデータを載せた伝送信号を出力回路 18-j に出力する。

【0057】

また、入力回路 17-j に取り込まれた伝送信号中のコマンド・フラグ信号が示すコマンド発行先 ID がDRAM回路 7-j の ID と一致し、コマンド・ビットがライト・コマンドを示している場合において、DRAMコア回路 15-j がビジー状態でないときは、入力回路 17-j に取り込まれた伝送信号を受け付けて、DRAMコア回路 15-j にアドレス信号とデータ信号とライト信号を出力すると共に、コマンド・フラグ・ビット及びコマンド・ビットをクリアした伝送信号を出力回路 18-j に出力する。

【0058】

また、ステーション・インタフェース回路 24 は、たとえば、次のように動作する。すなわち、入力回路 22 に取り込まれた伝送信号中のコマンド・フラグ信

号に示されたコマンド発行先IDがI/O回路8のIDと一致しない場合には、入力回路22に取り込まれた伝送信号を内容を変更することなしにそのまま出力回路23に転送する。

【0059】

また、入力回路22に取り込まれた伝送信号中のコマンド・フラグ信号に示されたコマンド発行先IDがI/O回路8のIDと一致した場合には、伝送信号を受け付けると共に、入力回路22に取り込まれた伝送信号をクリアした信号を出力回路23に出力する。

【0060】

また、I/Oコア回路20からコマンド信号を含む伝送信号を出力する場合には、入力回路22に取り込まれた伝送信号中のデータ・フラグが空であることを確認の上、伝送信号を出力回路23に出力する。

【0061】

これに対して、入力回路22に取り込まれた伝送信号中のデータ・フラグが空でない場合には、データ・フラグが空の伝送信号が入力回路22に取り込まれるまで待ち、データ・フラグが空の伝送信号が入力回路22に取り込まれた時は、伝送信号を出力回路23に出力する。

【0062】

したがって、本発明の電子回路システムの第1実施形態によれば、ロジック回路6-1、6-2、DRAM回路7-1~7-5及びI/O回路8から出力される伝送信号を、たとえ2個以上のマクロ回路から同時に出力されたとしても、クロック信号CLK、/CLKに同期して簡単なプロトコルによって一方向に伝送し、伝送信号を目的とするマクロ回路に伝送することができるので、信号伝送の効率化と、信号伝送の管理の簡略化とを図ることができる。

【0063】

なお、I/O回路8が外部回路からのコマンド系信号を伝送信号線15に出力する場合には、たとえば、所定のクロック・サイクル前から、ロジック・コア回路10-1、10-2の動作を止めることが好適である。

【0064】

第2実施形態・・・図4

図4は本発明の電子回路システムの第2実施形態の要部を示すブロック回路図である。本発明の電子回路システムの第2実施形態においては、DRAM回路7-1～7-5のステーション・インタフェース回路19-1～19-5からそれぞれロジック・コア回路10-1に対してビジー信号BUSY1を与えることができるように構成され、ロジック・コア回路10-1は、ビジー信号BUSY1が与えられている間は、ウェイト状態となるように構成されている。

【0065】

なお、ビジー信号BUSY1は、DRAMコア回路15-jに対してロジック・コア回路10-2又は外部回路から連続的にアクセスが行われる状態にあり、ロジック・コア回路10-1からのアクセスに応じられない状態のときに出力されるものである。

【0066】

また、DRAM回路7-1～7-5のステーション・インタフェース回路19-1～19-5からそれぞれロジック・コア回路10-2に対してビジー信号BUSY2を与えることができるように構成され、ロジック・コア回路10-2は、ビジー信号BUSY2が与えられている間は、ウェイト状態となるように構成されている。その他については、図1に示す本発明の電子回路システムの第1実施形態と同様に構成されている。

【0067】

なお、ビジー信号BUSY2は、DRAMコア回路15-jに対してロジック・コア回路10-1又は外部回路から連続的にアクセスが行われる状態にあり、ロジック・コア回路10-2からのアクセスに応じられない状態のときに出力されるものである。

【0068】

本発明の電子回路システムの第2実施形態によれば、本発明の電子回路システムの第1実施形態と同様に、ロジック回路6-1、6-2、DRAM回路7-1～7-5及びI/O回路8から出力される伝送信号を、たとえ2個以上のマクロ回路から同時に出力されたとしても、クロック信号CLK、/CLKに同期して

簡単なプロトコルによって一方向に伝送し、伝送信号を目的とするマクロ回路に伝送することができるので、信号伝送の効率化と、信号伝送の管理の簡略化とを図ることができると共に、ロジック・コア回路 10-1、10-2 が DRAM 回路にアクセスすることができない状態にある場合には、ビジー信号 BUSY 1、BUSY 2 によりロジック・コア回路 10-1、10-2 をウェイト状態にすることができるので、ロジック・コア回路 10-1、10-2 の動作の効率化を図ることができる。

【0069】

第3実施形態・・・図5

図5は本発明の電子回路システムの第3実施形態の要部を示すブロック回路図であり、本発明の電子回路システムの第3実施形態は、ロジック回路 6-1 との間で信号の授受を行うロジック回路 26 を備えると共に、ロジック回路 26 が外部回路との間で信号の授受を行うための I/O 回路 27 を備えるようにし、その他については、図1に示す本発明の電子回路システムの第1実施形態と同様に構成したものである。

【0070】

本発明の電子回路システムの第3実施形態によれば、本発明の電子回路システムの第1実施形態と同様に、ロジック回路 6-1、6-2、DRAM 回路 7-1 ～ 7-5 及び I/O 回路 8 から出力される伝送信号を、たとえ2個以上のマクロ回路から同時に出力されたとしても、クロック信号 CLK、/CLK に同期して簡単なプロトコルによって一方向に伝送し、伝送信号を目的とするマクロ回路に伝送することができるので、信号伝送の効率化と、信号伝送の管理の簡略化とを図ることができる。

【0071】

なお、本発明の電子回路システムの第3実施形態においても、本発明の電子回路システムの第2実施形態のように、DRAM 回路 7-1 ～ 7-5 のステーション・インタフェース回路 19-1 ～ 19-5 からそれぞれロジック・コア回路 10-1 に対してビジー信号 BUSY 1 を与えることができるように構成すると共に、DRAM 回路 7-1 ～ 7-5 のステーション・インタフェース回路 19-1

～19-5からそれぞれロジック・コア回路10-2に対してビジー信号BUSY2を与えるように構成しても良い。

【0072】

また、本発明の電子回路システムの第1実施形態～第3実施形態においては、I/O回路8を設けるようにした場合について説明したが、本発明は、I/O回路8を設けないようにする場合にも適用することができる。

【0073】

また、本発明の電子回路システムの第1実施形態～第3実施形態においては、ロジック回路6-1、6-2は、リング状に接続されていないI/O回路を介して外部回路との間で信号の授受を行うことができるように構成されていないが、本発明は、ロジック回路6-1、6-2がリング状に接続されていないI/O回路を介して外部回路との間で信号の授受を行うことができるように構成する場合にも適用することができる。

【0074】

また、伝送信号線9～16は、クロック信号CLK又は反転クロック信号／CLKに同期して伝送信号をラッチするラッチ回路を介してマクロ回路間を接続するように構成しても良い。この場合、各マクロ回路の入力回路及び出力回路を省略するように構成しても良い。

【0075】

第4実施形態・・・図6

図6は本発明の電子回路システムの第4実施形態の要部を示すブロック回路図である。図6中、29はデータの加工等を行うロジック回路、30-1～30-3はロジック回路29からアクセスを受けるDRAM回路、31はロジック回路29からアクセスを受けて外部回路との間で伝送信号の授受を行うI/O回路であり、これらロジック回路29、DRAM回路30-1～30-3及びI/O回路31はそれぞれIDを有している。

【0076】

また、32はロジック回路29の複数の伝送出力端とI/O回路31の複数の伝送信号入力端とを接続する伝送信号線、33はI/O回路31の複数の伝送信

号出力端とDRAM回路30-1の複数の伝送信号入力端とを接続する伝送信号線である。

【0077】

また、34はDRAM回路30-1の複数の伝送信号出力端とDRAM回路30-2の複数の伝送信号入力端とを接続する伝送信号線、35はDRAM回路30-2の複数の伝送信号出力端とDRAM回路30-3の複数の伝送信号入力端とを接続する伝送信号線、36はDRAM回路30-3の複数の伝送信号出力端とロジック回路29の複数の伝送信号入力端とを接続する伝送信号線である。

【0078】

すなわち、本発明の電子回路システムの第4実施形態においては、ロジック回路29、I/O回路31及びDRAM回路30-1～30-3は、ロジック回路29の伝送信号出力端を先頭端、ロジック回路29の伝送信号入力端を最後尾端として、伝送信号線32～36を介して半リング状に接続されている。

【0079】

また、ロジック回路29において、37はロジック回路としての核心部をなすロジック・コア回路、38、39を周辺部をなすステーション回路であり、ステーション回路38において、40は入力回路、41はステーション・インタフェース回路であり、ステーション回路39において、42は出力回路、43はステーション・インタフェース回路である。

【0080】

また、DRAM回路30-1～30-3において、44-1～44-3はDRAM回路としての核心部をなすDRAMコア回路、45-1～45-3は周辺部をなすステーション回路である。

【0081】

また、ステーション回路45-1～45-3において、46-1～46-3は入力回路、47-1～47-3は出力回路、48-1～48-3はステーション・インタフェース回路である。

【0082】

また、I/O回路31において、49はI/O回路としての核心部をなすI/O

コア回路、50は周辺部をなすステーション回路であり、ステーション回路50において、51は入力回路、52は出力回路、53はステーション・インタフェース回路である。

【0083】

なお、伝送信号線32～36は、図1に示す伝送信号線9～16と同様に構成され、入力回路40、51、46-1～46-3は、図3に示す入力回路12-1、12-2、17-1～17-5、22と同様に構成され、出力回路42、52、47-1～47-3は、図3に示す出力回路13-1、13-2、18-1～18-5、23と同様に構成されている。

【0084】

また、ステーション・インタフェース回路48-1～48-3は、図3に示すステーション・インタフェース回路19-1～19-5と同様に構成され、ステーション・インタフェース回路53は、図3に示すステーション・インタフェース回路24と同様に構成されている。

【0085】

また、ステーション・インタフェース回路41は、入力回路40により取り込まれた伝送信号がロジック・コア回路37に対するものである場合に、伝送信号の受け付けを行うように構成されている。

【0086】

すなわち、ステーション・インタフェース回路41は、入力回路40に取り込まれた伝送信号の中のデータ・フラグ信号が示すデータ・フラグがロジック回路29のIDと一致する場合には、データを受け付け、受け付けたデータをロジック・コア回路37に出力するように動作する。

【0087】

また、ステーション・インタフェース回路43は、ロジック・コア回路37の要求に従った伝送信号を出力回路42に出力するものであり、たとえば、次のように動作する。

【0088】

すなわち、ロジック・コア回路37がDRAMコア回路30-1～30-3の

いずれかにリード・アクセスを行うときは、コマンド・フラグ・ビットをコマンド発行元ID及びコマンド発行先IDとし、コマンド・ビットをリード・コマンドとし、アドレス・ビットをコマンド発行先のDRAM回路のDRAMコア回路内のアクセス先のアドレスとした伝送信号を出力回路42に出力する。

【0089】

また、ロジック・コア回路37がDRAMコア回路30-1～30-3のいずれかにライト・アクセスを行うときは、コマンド・フラグ・ビットをコマンド発行元ID及びコマンド発行先IDとし、コマンド・ビットをライト・コマンドとし、アドレス・ビットをコマンド発行先のDRAM回路のDRAMコア回路内のアクセス先のアドレスとし、データ・フラグ・ビットをデータ発行先IDとし、データ・ビットをロジック・コア回路37が発するデータとした伝送信号を出力回路42に出力する。

【0090】

したがって、本発明の電子回路システムの第4実施形態によれば、ロジック回路29、DRAM回路30-1～30-3及びI/O回路31から出力される伝送信号を、たとえ2個以上のマクロ回路から同時に出力されたとしても、クロック信号CLK、/CLKに同期して簡単なプロトコルによって一方向に伝送し、伝送信号を目的とするマクロ回路に伝送することができるので、信号伝送の効率化と、信号伝送の管理の簡略化とを図ることができる。

【0091】

なお、本発明の電子回路システムの第4実施形態においては、I/O回路31を設けるようにした場合について説明したが、本発明は、I/O回路31を設けないようにする場合にも適用することができる。

【0092】

また、本発明の電子回路システムの第4実施形態においては、ロジック回路29は、半リング状に接続されていないI/O回路を介して外部回路との間で信号の授受を行うことができるように構成されていないが、本発明は、ロジック回路29が半リング状に接続されていないI/O回路を介して外部回路との間で信号の授受を行うことができるように構成する場合にも適用することができる。

【0093】

第5実施形態・・・図7、図8

図7は本発明の電子回路システムの第5実施形態の要部を示すブロック回路図である。図7中、55はLSIチップ本体、56はデータの加工などを行うロジック回路、57-1～57-4はロジック回路56からアクセスを受けるDRAM回路、58-1～58-4は外部回路との間で信号の授受を行うためのI/O回路である。

【0094】

また、59は複数のテスト信号入力用外部端子（但し、テスト用クロック信号入力用外部端子を除く）とDRAM回路57-1の複数のテスト信号入力端とを接続する伝送信号線、60はDRAM回路57-1の複数のテスト信号出力端とDRAM回路57-2の複数のテスト信号入力端とを接続する伝送信号線である。

【0095】

また、61はDRAM回路57-2の複数のテスト信号出力端とDRAM回路57-3の複数のテスト信号入力端とを接続する伝送信号線、62はDRAM回路57-3の複数の伝送信号出力端とDRAM回路57-4の複数のテスト信号入力端とを接続する伝送信号線、63はテスト判定信号線である。

【0096】

すなわち、本発明の電子回路システムの第5実施形態においては、テスト信号入力用外部端子及びDRAM回路57-1～57-4は、テスト信号入力用外部端子を先頭端、DRAM回路57-4のテスト信号入力端を最後尾として、伝送信号線59～62を介して半リング状に接続されている。

【0097】

図8は本発明の電子回路システムの第5実施形態に供給するテスト信号を示す図であり、図8中、75は本発明の電子回路システムの第5実施形態、TTS Tはテストモード信号、TCK Eはテスト用クロック・イネーブル信号、TCLKはテスト用クロック信号である。

【0098】

また、TXRASはテスト用ロウアドレス・ストロブ信号、TXCASはテスト用コラムアドレス・ストロブ信号、TXWEはテスト用ライトイネーブル信号、TXCSはテスト用チップ・イネーブル信号である。

【0099】

また、TAはテスト用アドレス信号、TIはテスト用書込みデータ及びテスト用読み出しデータの期待値、TQはテスト用読み出しデータ、TDQMはテスト用データマスク信号である。なお、VCC、VSSは電源電圧である。

【0100】

また、図7中、64はテスト用クロック信号TCLKを伝送するためのテスト用クロック信号線、65～68はテスト用クロックTCLKの伝送を中継するためのバッファ回路である。

【0101】

また、DRAM回路57-1～57-4において、69-1～69-4はDRAM回路としての核心部をなすDRAMコア回路、70-1～70-4は周辺部をなすステーション回路である。

【0102】

また、ステーション回路70-1～70-4において、71-1～71-4はテスト信号用の入力回路、72-1～72-4はテスト信号用の出力回路、73-1～73-4はテスト信号用のステーション・インタフェース回路である。

【0103】

入力回路71-1～71-4は、図3に示す入力回路17-1～17-5と同様に構成され、出力回路72-1～72-3は、図3に示す出力回路18-1～18-5と同様に構成され、ステーション・インタフェース回路73-1～73-4は図3に示すステーション・インタフェース回路19-1～19-5と同様に構成されている。

【0104】

なお、DRAMコア回路69-1のテスト結果(Test-Output)は、ステーション・インタフェース回路73-1、出力回路72-1及びI/O回路58-2を介して外部に出力され、DRAMコア回路69-2のテスト結果は、ステーシ

ョン・インタフェース回路 73-2、出力回路 72-2 及び I/O 回路 58-2 を介して外部に出力されるように構成されている。

【0105】

また、DRAM コア回路 69-3 のテスト結果は、ステーション・インタフェース回路 73-3、出力回路 72-3 及び I/O 回路 58-4 を介して外部に出力され、DRAM コア回路 69-4 のテスト結果は、ステーション・インタフェース回路 73-4、出力回路 72-4 及び I/O 回路 58-4 を介して外部に出力されるように構成されている。

【0106】

なお、Test-Judge は、スキャン接続された全ての DRAM 57-1 ~ 57-4 がパス (PASS) であるのか否かを示す判定信号である。

【0107】

本発明の電子回路システムの第 5 実施形態によれば、テスト信号入力用外部端子からテスト信号を入力することで、DRAM コア回路 69-1 ~ 69-4 を外部から試験することが可能となるので、試験の効率化を図ることができると共に、テスト信号入力用外部端子と DRAM コア回路 69-1 ~ 69-4 とを半リング状に接続するテスト用の伝送信号線 59 ~ 62 を介して DRAM コア回路 69-1 ~ 69-4 にテスト信号を与えることができるので、各 DRAM 回路における各伝送信号入力端と各テスト信号入力用外部端子との距離を等しくすることができ、この結果、テスト信号を伝送する場合のスキューをなくし、試験の高速化を図ることができる。

【0108】

なお、LSI チップ本体 55 に BIST (built-in self-test) 回路を含めるようにし、I/O 回路 58-1 に入力される入力信号を元に BIST 回路でテスト信号を発生させて DRAM 回路 57-1 ~ 57-4 の試験を行うようにしても良い。

【0109】

また、DRAM 57-1 ~ 57-4 と共にロジック回路をリング状又は半リング状に接続して、DRAM 57-1 ~ 57-4 及びロジック回路の試験、又は、

DRAM57-1～57-4のみの試験、又は、ロジック回路のみの試験を行うようにしても良い。

【0110】

【発明の効果】

以上のように、本発明中、第1、第2、第4及び第5の発明のいずれによっても、複数のマクロ回路から同時に伝送信号を出力しても、伝送信号をクロック信号に同期して一方向に伝送し、伝送信号を目的とするマクロ回路に伝送することができるので、信号伝送の効率化と、信号伝送の管理の簡略化とを図ることができる。

【0111】

また、本発明中、第3及び第6の発明のいずれによっても、テスト信号入力用外部端子からテスト信号を入力することで、各マクロ回路を外部から試験することが可能となり、試験の効率化を図ることができると共に、第1、第2・・・第nのマクロ回路とを半リング状に接続するテスト用の伝送信号線を介して各マクロ回路にテスト信号を与えることができるので、各マクロ回路における各伝送信号入力端と各テスト信号入力用外部端子との距離を等しくすることができ、この結果、テスト信号を伝送する場合のスキューをなくし、試験の高速化を図ることができる。

【図面の簡単な説明】

【図1】

本発明の電子回路システムの第1実施形態の要部を示すブロック回路図である。

【図2】

本発明の電子回路システムの第1実施形態が備える伝送信号線の構成を示す図である。

【図3】

本発明の電子回路システムの第1実施形態の要部をより詳しく示すブロック回路図である。

【図4】

本発明の電子回路システムの第2実施形態の要部を示すブロック回路図である。

【図5】

本発明の電子回路システムの第3実施形態の要部を示すブロック回路図である。

【図6】

本発明の電子回路システムの第4実施形態の要部を示すブロック回路図である。

【図7】

本発明の電子回路システムの第5実施形態の要部を示すブロック回路図である。

【図8】

本発明の電子回路システムの第5実施形態に供給するテスト信号を示す図である。

【図9】

従来のシステムLSIの一例の要部を示すブロック回路図である。

【符号の説明】

(図1、図3～図5)

9～16 伝送信号線

(図6)

32～36 伝送信号線

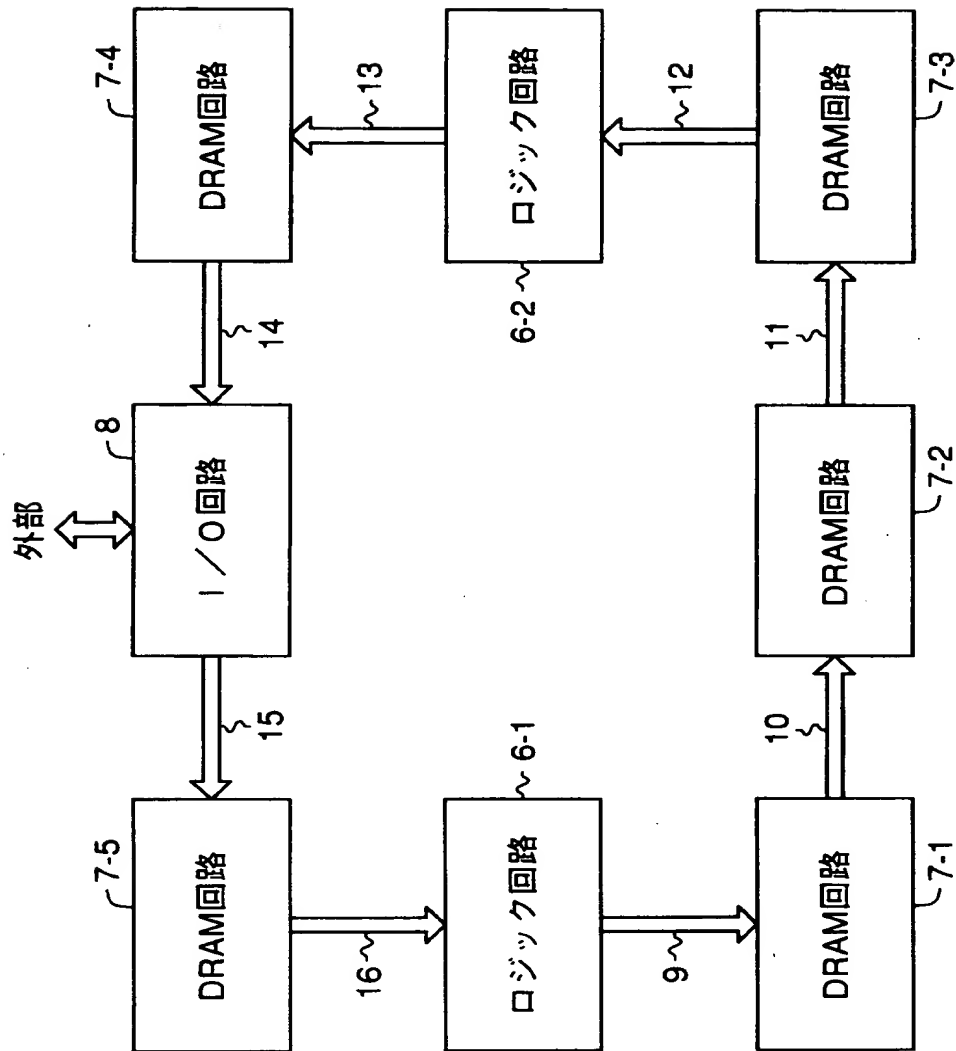
(図7)

59～62 テスト信号線

【書類名】 図面

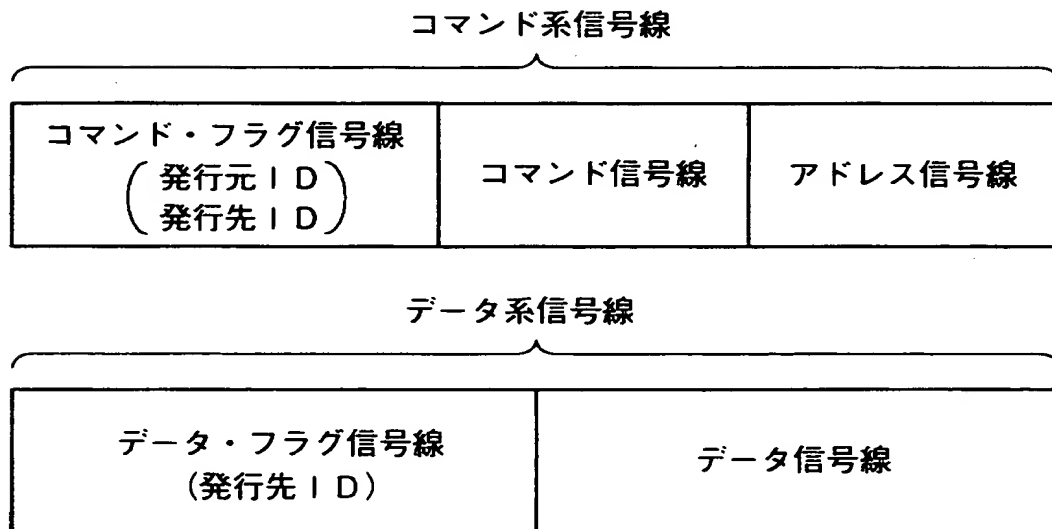
【図 1】

本発明の電子回路システムの第 1 実施形態の要部を示すブロック回路図



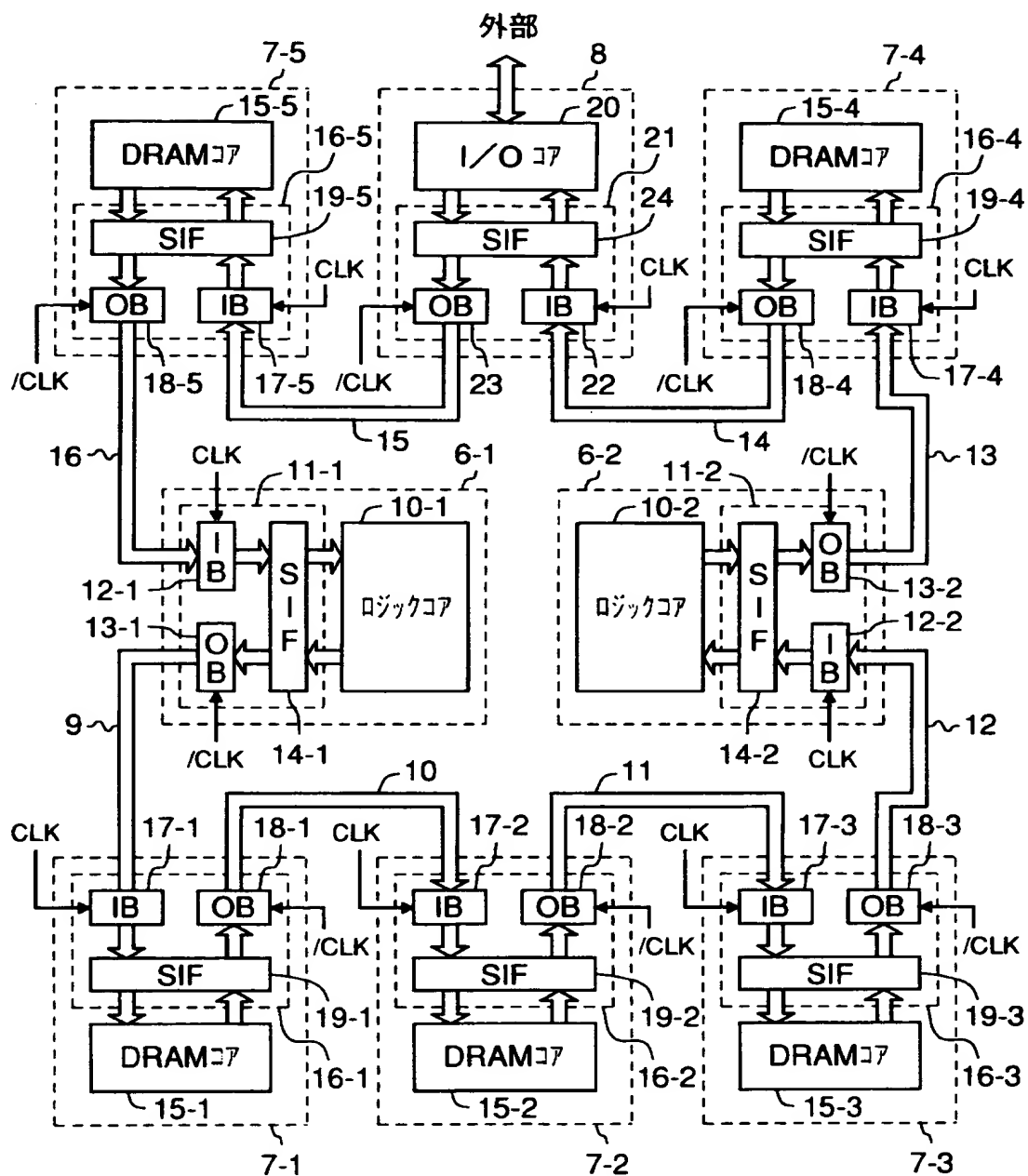
【図 2】

伝送信号線 9 ～ 16 の構成を示す図



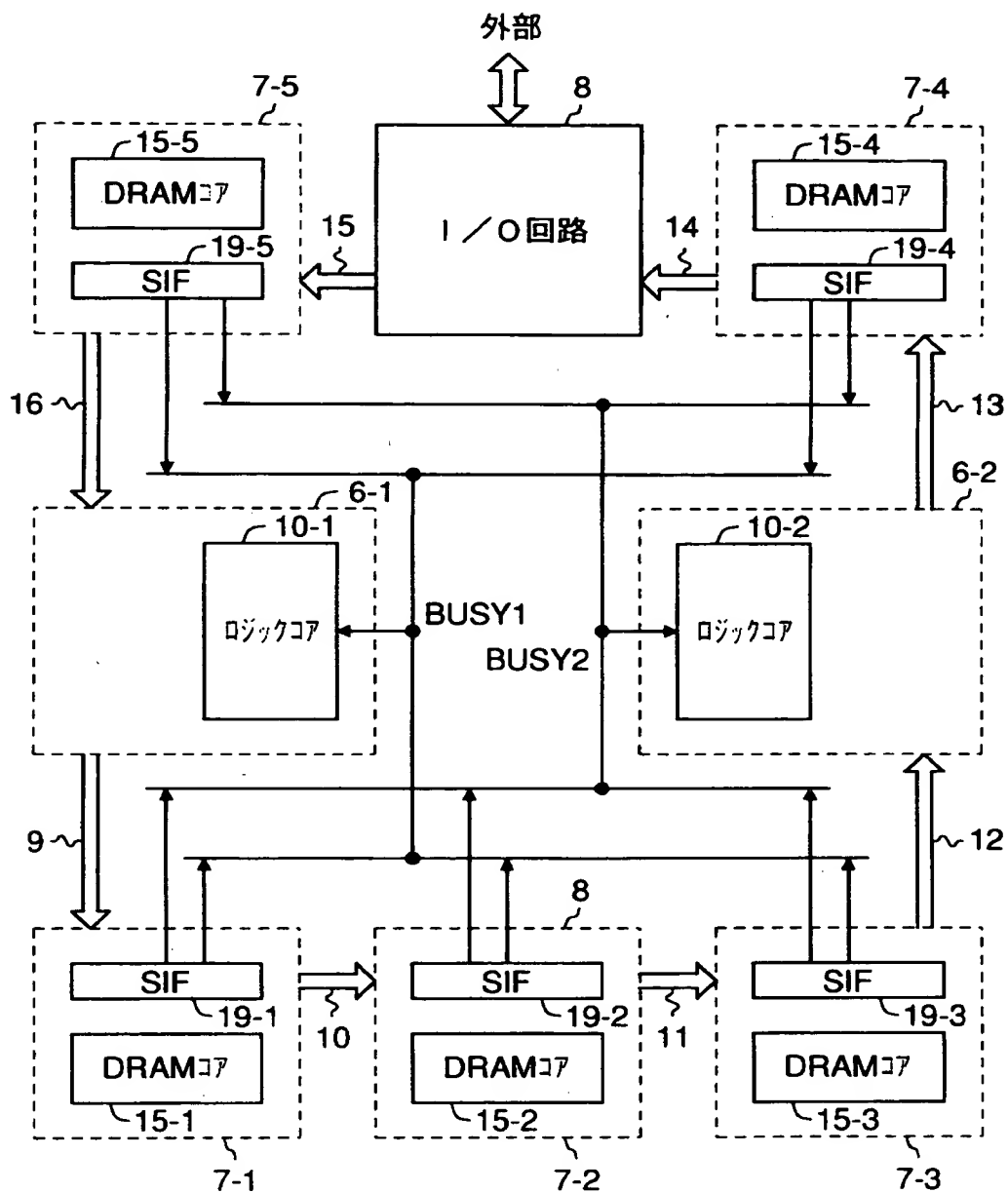
【図 3】

本発明の電子回路システムの第 1 実施形態の要部を
より詳しく示すブロック回路図



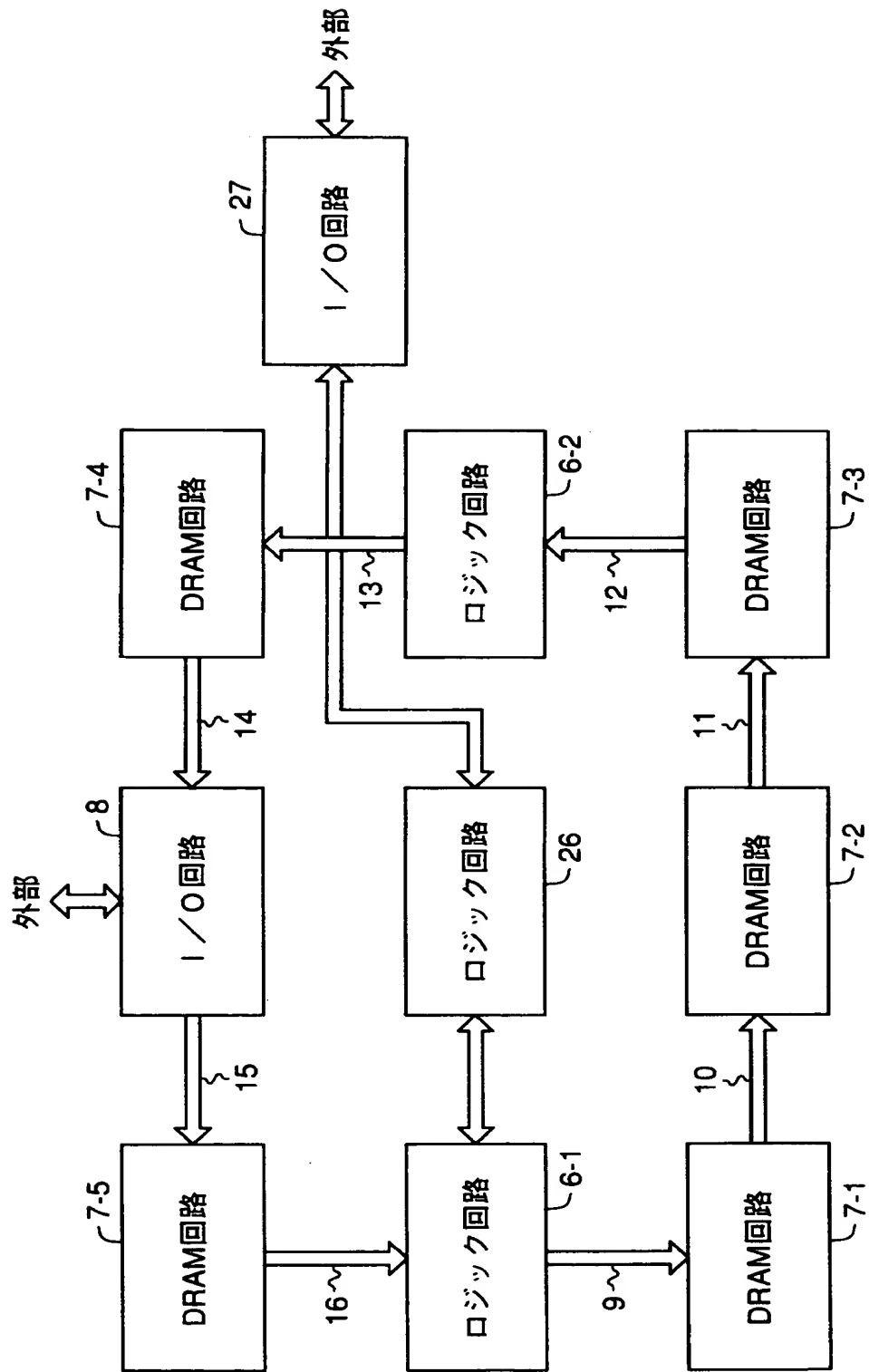
【図 4】

本発明の電子回路システムの第 2 実施形態の要部を示すブロック回路図



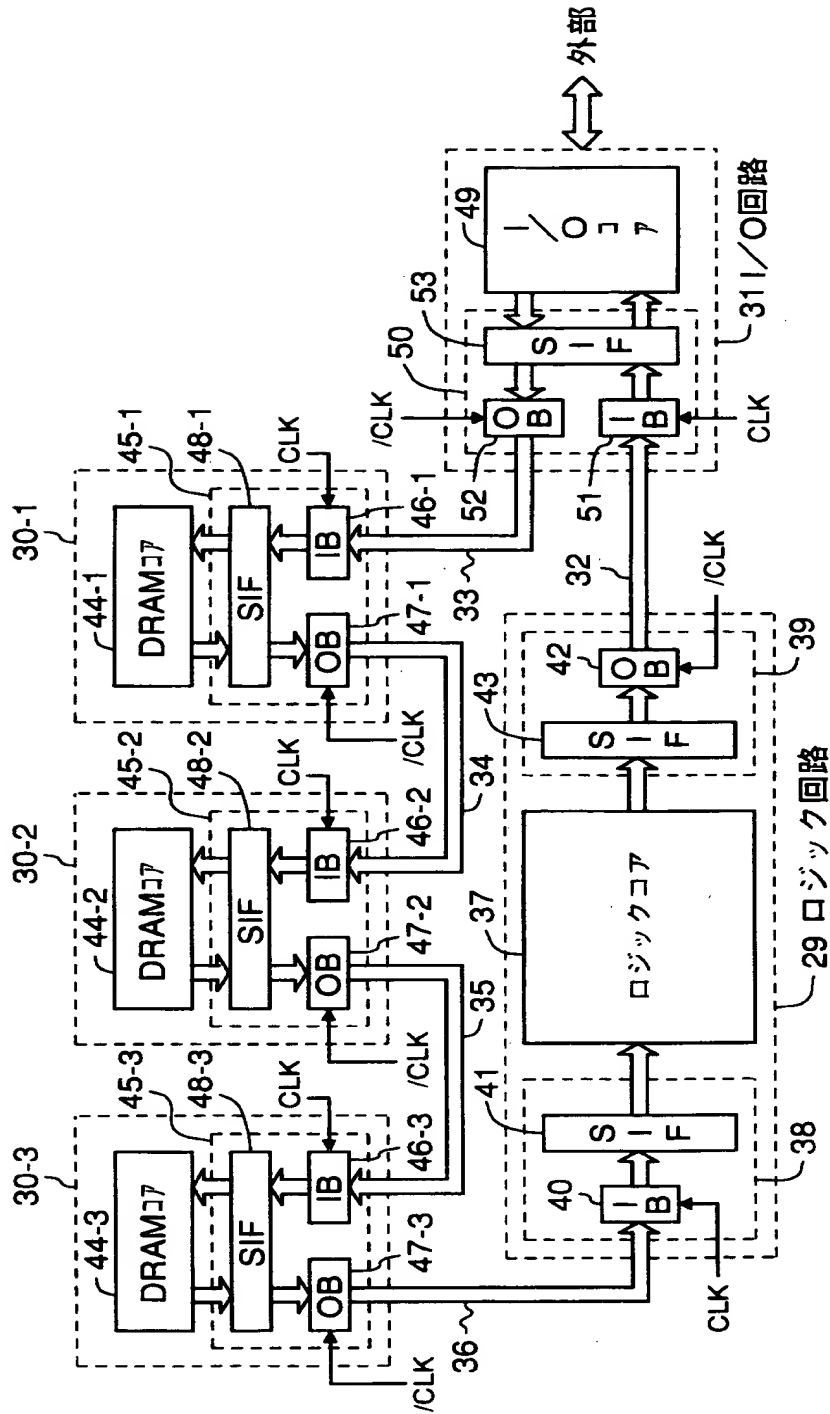
【図 5】

本発明の電子回路システムの第3実施形態の要部を示すブロック回路図



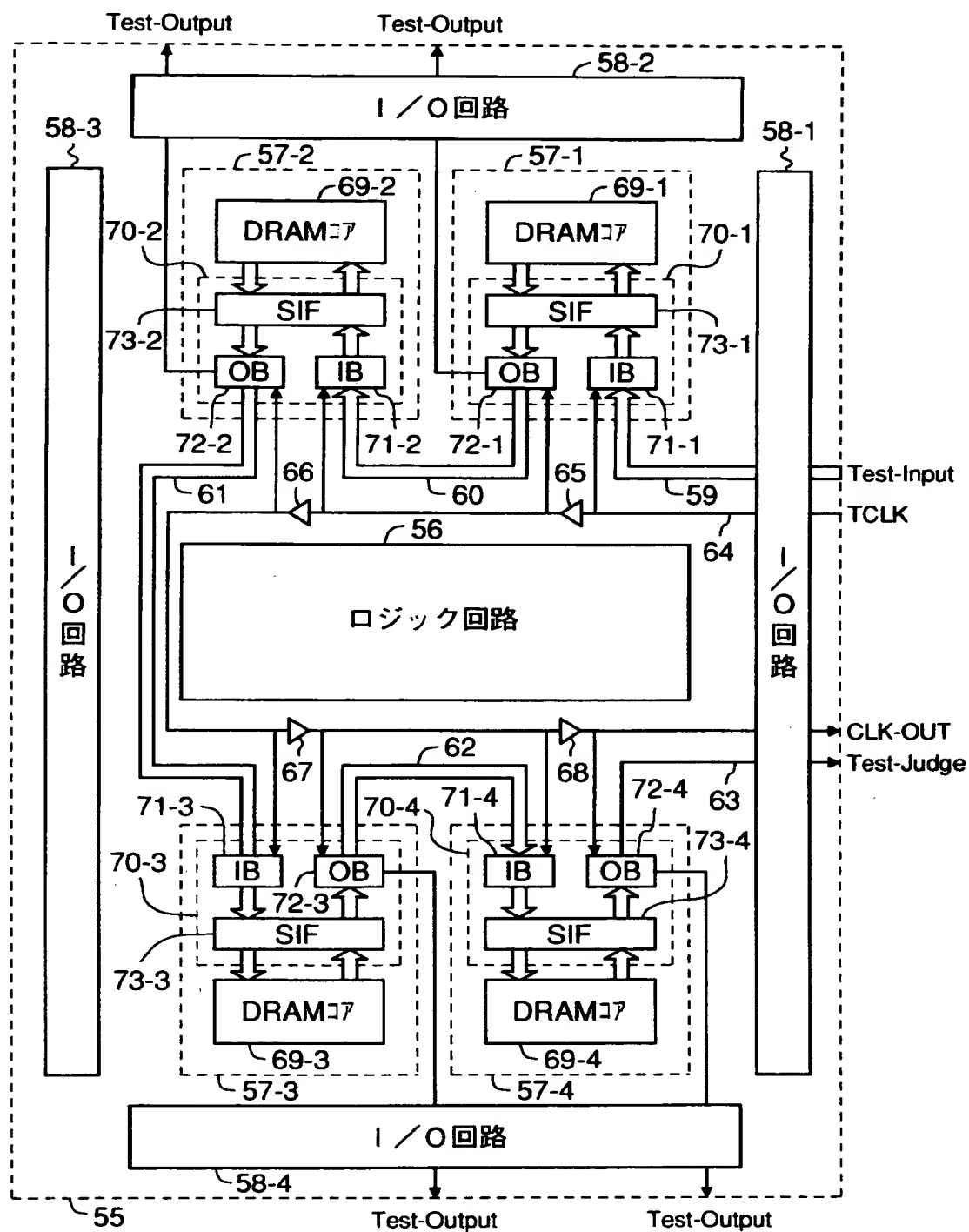
【図 6】

本発明の電子回路システムの第4実施形態の要部を示すブロック回路図



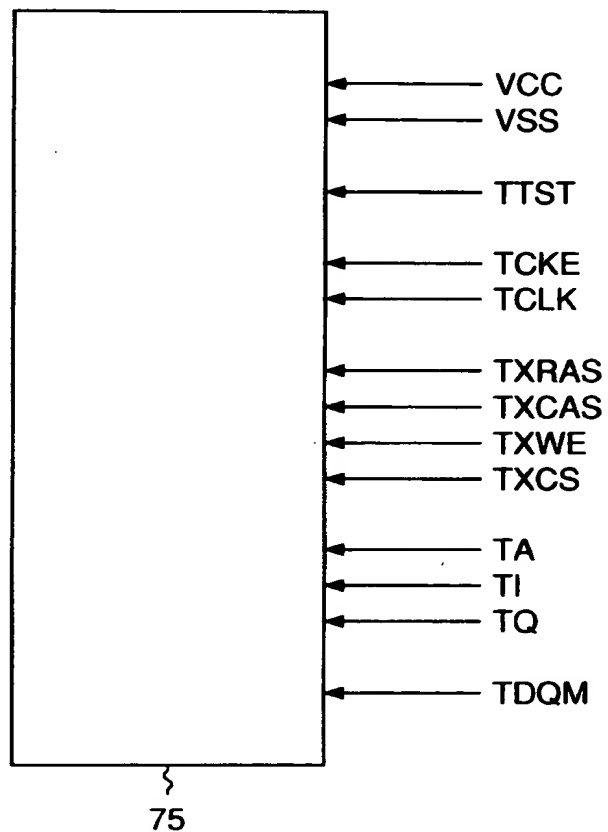
【図 7】

本発明の電子回路システムの第5実施形態の要部を示すブロック回路図



【図 8】

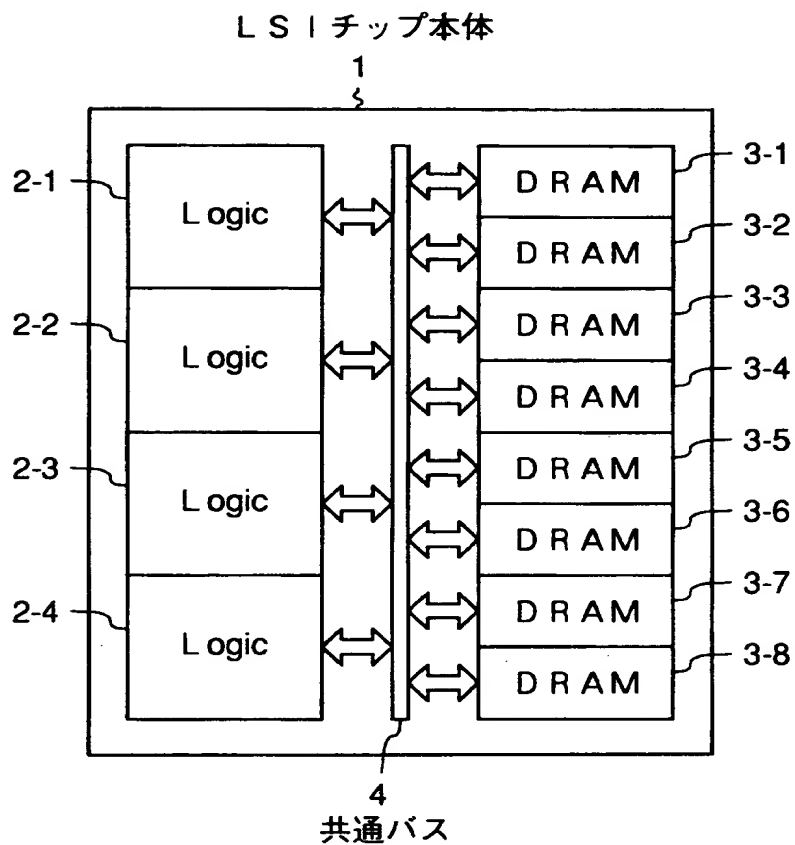
本発明の電子回路システムの第 5 実施形態に
供給するテスト信号を示す図



75
本発明の電子回路システム
の第 5 実施形態

【図9】

従来のシステムLSIの一例の要部を示すブロック回路図



【書類名】 要約書

【要約】

【課題】 システム L S I 等のように、マクロ回路としてロジック回路及びメモリ回路を有する電子回路システムに関し、従来の共通バスを不要とし、信号伝送の効率化と、信号伝送の管理の簡単化とを図る。

【解決手段】 マクロ回路であるロジック回路 6-1、DRAM回路 7-1～7-3、ロジック回路 6-2、DRAM回路 7-4、I/O回路 8 及び DRAM回路 7-5 を伝送信号線 9～16 を介してリング状に接続し、伝送信号をクロック信号 CLK、/CLK に同期させて一定のプロトコルにより一方向に伝送する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社